

© EPODOC / EPO

PN - JP2000287231 A 20001013  
PD - 2000-10-13  
PR - JP19990089639 19990330  
OPD - 1999-03-30  
TI - CROSSBAR SWITCH  
IN - NIITSUMA MAKOTO  
PA - NIPPON ELECTRIC ENG  
IC - H04Q3/52 ; H04L12/56

© WPI / DERWENT

TI - Crossbar switch using electronic component, converts serial format data switching units, into parallel format data and outputs it externally

PR - JP19990089639 19990330

PN - JP2000287231 A 20001013 DW200101 H04Q3/52 028pp

PA - (NIDE ) NIPPON DENKI ENG KK

IC - H04L12/56 ;H04Q3/52

AB - JP2000287231 NOVELTY - A data converter converts input data of parallel format received from exterior, into data of serial format with width of  $1/n$  where  $n'$  is the integer. Switching units (120-129) switch the output ports, corresponding to serial format data from the converter. The serial data from switching units, is converted to parallel format data and is output to exterior.

- USE - Crossbar switch using electronic components such as LSI.
- ADVANTAGE - Even when LSI with less number of input-output terminals is used, data forwarding capability is not reduced.
- DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of crossbar switch.
- Switching units 120-129
- (Dwg.1/20)

OPD - 1999-03-30

AN - 2001-003236 [01]

© PAJ / JPO

PN - JP2000287231 A 20001013  
PD - 2000-10-13  
AP - JP19990089639 19990330  
IN - NIITSUMA MAKOTO  
PA - NEC ENG LTD

This Page Blank (uspto)

TI - CROSSBAR SWITCH

AB - PROBLEM TO BE SOLVED: To obtain a crossbar switch that employs electronic components such as LSIs with a small number of input output terminals and supports a large number of input output channels without grading transfer performance of data.

- SOLUTION: Receiving parallel data in 10-bit, each of data reception sections 110-117 converts the data into serial data and gives the converted data to switch sections 120-129. The switch sections 120-129 receive the serial data from the data reception sections 110-117, respectively, to reproduce destination information and switch the data, and transmit the result to data transmission sections 130-137. Data reception sections 130-137 convert the serial data received from the switch sections 120-129 into parallel data respectively to sequentially transmit the parallel data.

I - H04Q3/52 ;H04L12/56

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-287231

(P2000-287231A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターム\* (参考)

H 0 4 Q 3/52

H 0 4 Q 3/52

A 5 K 0 3 0

H 0 4 L 12/56

H 0 4 L 11/20

1 0 2 Z 5 K 0 6 9

審査請求 未請求 請求項の数 5 O L (全 28 頁)

(21) 出願番号 特願平11-89639

(22) 出願日 平成11年3月30日 (1999. 3. 30)

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 新妻 誠

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外 2 名)

Fターム (参考) 5K030 GA05 HA08 JA01 KX09 KX17

5K069 AA16 CB01 DA04 DB01 DB41

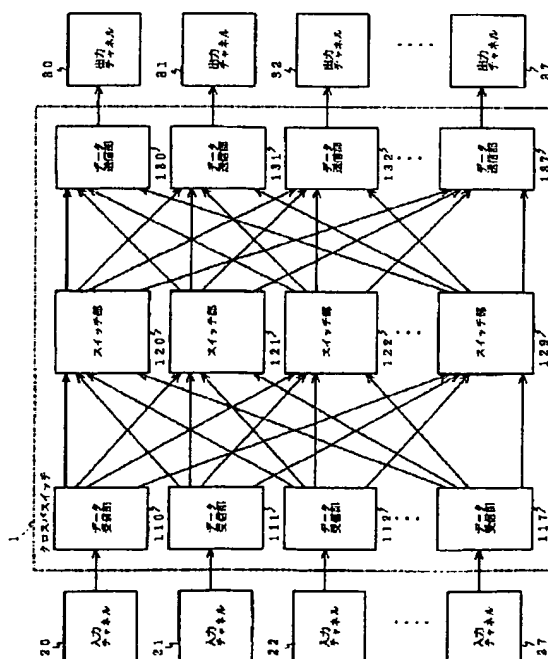
EA20

(54) 【発明の名称】 クロスバスイッチ

(57) 【要約】

【課題】 小規模の入出力端子数のLSI等の電子部品を用いかつデータの転送性能を低下させることなく、大規模の入出力チャネル数をサポートすることが可能なクロスバスイッチを提供する。

【解決手段】 データ受信部110~117各々は10ビットの平行形式のデータを受信すると、そのデータをシリアル形式のデータに変換し、変換したデータをスイッチ部120~129へと送出する。スイッチ部120~129各々はデータ受信部110~117からそれぞれ送出されるシリアル形式のデータを受信し、宛先情報の再生及びデータのスイッチングを行い、それらの結果をデータ送信部130~137へと送出する。データ受信部130~137各々はスイッチ部120~129からそれぞれ送出されるシリアル形式のデータを平行形式のデータに変換し、平行形式のデータを順次送出する。



## 【特許請求の範囲】

【請求項1】 外部から受信したパラレル形式の入力データを $1/n$  ( $n$ は正の整数)のデータ幅のシリアル形式のデータに変換する第1のデータ変換手段と、前記第1のデータ変換手段からの前記シリアル形式のデータを目的とする出力ポートへとスイッチングする $n$ 台のスイッチング手段と、前記 $n$ 台のスイッチング手段からのシリアル形式のデータをパラレル形式のデータに変換して外部へ送出する第2のデータ変換手段とを有することを特徴とするクロスバスイッチ。

【請求項2】 前記第1のデータ変換手段は、前記パラレル形式の入力データを前記シリアル形式のデータに変換する $n$ 台のパラレル/シリアル変換手段と、前記入力データが出力先を示す宛先情報及び転送データのいずれかを判定する判定手段と、前記判定手段の判定結果に応じて前記 $n$ 台のパラレル/シリアル変換手段へのデータの供給を制御して前記 $n$ 台のスイッチング手段へのデータ送出を制御する宛先制御手段とを含むことを特徴とする請求項1記載のクロスバスイッチ。

【請求項3】 前記宛先制御手段は、前記判定手段の判定結果が前記宛先情報である時に前記 $n$ 台のパラレル/シリアル変換手段全てに同時にデータを与えかつ前記判定手段の判定結果が転送データである時に前記 $n$ 台のパラレル/シリアル変換手段に順次与えるよう構成したことを特徴とする請求項2記載のクロスバスイッチ。

【請求項4】 前記 $n$ 台のスイッチング手段各々は、前記シリアル形式のデータから前記目的とする出力ポートを示す宛先情報を生成する生成手段と、前記シリアル形式のデータのいずれかを選択出力する選択出力手段と、前記生成手段で生成された宛先情報を基に前記目的の出力ポートの前記選択出力手段に対して選択制御を行う宛先制御手段とを含むことを特徴とする請求項1から請求項3のいずれか記載のクロスバスイッチ。

【請求項5】 前記第2のデータ変換手段は、前記 $n$ 台のスイッチング手段から送出されるシリアル形式のデータをパラレル形式のデータに変換する $n$ 台のシリアル/パラレル変換手段と、前記 $n$ 台のシリアル/パラレル変換手段各々で生成されたパラレル形式のデータを順次選択して外部に送出する手段とを含むことを特徴とするクロスバスイッチ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はクロスバスイッチに関し、特に少ない入出力端子を持つLSI(大規模集積回路)等の電子部品を用いた大規模なクロスバスイッチの構成に関する。

## 【0002】

【従来の技術】従来、クロスバスイッチにおいては、全ての入力チャネルからの入力データを一つのLSI等の電子部品に入力している。また、全ての出力チャネルへ

の出力データも一つのLSI等の電子部品から出力している。

【0003】入力チャネル数及び出力チャネル数を多数必要とするクロスバスイッチを構成するためには、比較的小規模のクロスバスイッチを複数次元結合して制御することによって実現させている。上記のクロスバスイッチとしては、特開平1-131950号公報に記載された技術等がある。

## 【0004】

【発明が解決しようとする課題】上述した従来のクロスバスイッチでは、多数の入力チャネルや出力チャネルを必要とする大規模なクロスバスイッチを構成するために、複数次元の結合が必要となるので、複数の入力チャネルからそれぞれ異なる出力チャネルへデータ転送を行った場合、中間のクロスバスイッチでバスの競合が発生してしまい、性能が低下してしまうという問題がある。

【0005】また、クロスバスイッチを一次元でのみ構成した場合には上記の問題を解決することができるが、大量の入出力端子を持つLSI等の電子部品が必要となってしまうという問題がある。

【0006】そこで、本発明の目的は上記の問題点を解消し、小規模の入出力端子数のLSI等の電子部品を用いかつデータの転送性能を低下させることなく、大規模の入出力チャネル数をサポートすることができるクロスバスイッチを提供することにある。

## 【0007】

【課題を解決するための手段】本発明によるクロスバスイッチは、外部から受信したパラレル形式の入力データを $1/n$  ( $n$ は正の整数)のデータ幅のシリアル形式のデータに変換する第1のデータ変換手段と、前記第1のデータ変換手段からの前記シリアル形式のデータを目的とする出力ポートへとスイッチングする $n$ 台のスイッチング手段と、前記 $n$ 台のスイッチング手段からのシリアル形式のデータをパラレル形式のデータに変換して外部へ送出する第2のデータ変換手段とを備えている。

【0008】すなわち、本発明のクロスバスイッチは、パラレル形式のデータを受信して $1/n$  ( $n$ は正の整数)のデータ幅のシリアル形式のデータに変換して送出するデータ受信部と、データ受信部からのシリアル形式のデータをスイッチングする $n$ 台のスイッチ部と、各スイッチ部からのシリアル形式のデータをパラレル形式のデータに変換して選択送出するデータ送信部とから構成している。

【0009】この構成において、データ受信部は入力されるパラレル形式のデータをシリアル形式のデータに変換して送出する $n$ 個のP/S(パラレル/シリアル)変換手段と、入力データが宛先情報であるか転送データであるかを判定し、宛先情報であった場合に全てのP/S変換手段へ同時にデータを送出し、転送データである時にP/S変換手段に順次送出する宛先制御手段とから構

成している。

【0010】また、スイッチ部はシリアル形式のデータをパラレル形式のデータに変換して宛先情報を再生する手段と、入力されたシリアル形式のデータを選択出力する手段と、各宛先情報再生手段で生成された宛先情報を基に選択出力手段の選択制御を行う宛先制御手段とから構成されている。

【0011】さらに、データ送信部はスイッチ部から送出されるシリアル形式のデータをパラレル形式のデータに変換する $n$ 個のS/P（シリアル/パラレル）変換手段と、各S/P変換手段によって生成された $n$ 個のパラレル形式のデータを選択出力する手段とから構成している。

【0012】上記の構成のクロスバスイッチはデータ受信部から全てのスイッチ部に対して宛先情報を同時に送出することによって、全てのスイッチ部にて同一の出力ポートへのパスを確保している。

【0013】また、クロスバスイッチは宛先情報に続く転送データを順次各スイッチ部へ送出し、データ送信部にて各スイッチからのデータを選択して送出することによって、データの転送速度を低下させることなく、データ転送を行うことを可能としている。

【0014】さらに、クロスバスイッチはデータ受信部とスイッチ部との間、スイッチ部とデータ送信部との間のデータパスを全て $1/n$ のデータ幅のシリアル形式のデータとすることによって、データ受信部、スイッチ部、データ送信部の各動作ブロックのインタフェース量を削減することが可能となる。よって、各機能部を少ない入出力端子を持つLSI等の電子部品を用いて構成することが可能となる。

【0015】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例によるクロスバスイッチの構成を示すブロック図である。図1においては、8入力/8出力のクロスバスイッチを示している。尚、図1に示す本発明の一実施例では図5に示す入力データ/出力データのデータ形式でデータ転送が行われ、各機能部のインタフェースは1ビットのデータ幅で転送が行われることを前提としている。

【0016】図1において、クロスバスイッチ1は入力チャンネル20～27各々に対応するデータ受信部110～117と、スイッチング動作を行うスイッチ部120～129と、出力チャンネル30～37各々に対応するデータ送信部130～137とから構成されている。

【0017】データ受信部110～117各々は10ビットのパラレル形式のデータを受信すると、そのデータをシリアル形式のデータに変換し、変換したデータをスイッチ部120～129へと送出する。

【0018】スイッチ部120～129各々はデータ受信部110～117からそれぞれ送出されるシリアル形

式のデータを受信し、宛先情報の再生及びデータのスイッチングを行い、それらの結果をデータ送信部130～137へと送出する。

【0019】データ受信部130～137各々はスイッチ部120～129からそれぞれ送出されるシリアル形式のデータをパラレル形式のデータに変換し、パラレル形式のデータを順次送出する。

【0020】図2は図1のデータ受信部110の詳細な構成を示すブロック図である。図2において、データ受信部110はデータ受信バッファ1101と、P/S（パラレル/シリアル）変換回路11020～11029と、宛先制御回路1103とから構成されている。

【0021】データ受信バッファ1101はパラレル形式のデータを受信し、そのデータをFIFO（Fast In Fast Out）形式で格納する。P/S変換回路11020～11029各々は受信バッファ1101からのパラレル形式のデータをシリアル形式のデータに変換し、変換したデータをスイッチ部120～129へと送出する。

【0022】宛先制御回路1103はデータ受信バッファ1101の出力データの内容を参照し、その内容が宛先情報またはデータ転送の終了情報であれば、その情報を全てのP/S変換回路11020～11029へブロードキャスト方式で付与し、転送データであれば、その転送データを順次付与する。尚、図示していないが、データ受信部111～117は上記のデータ受信部110と同様の構成となっており、データ受信部110と同様の動作を行う。

【0023】図3は図1のに示すスイッチ部120の詳細な構成を示すブロック図である。図3において、スイッチ部120はシリアルデータ受信部12010～12017と、宛先再生部12020～12027と、優先順位制御回路12030～12037と、出力データセレクト12040～12047とから構成されている。

【0024】宛先再生部12020～12027は各データ受信部110～117からシリアル形式のデータで宛先情報が供給されると、そのデータをパラレル形式のデータに変換して宛先情報に再生し、宛先情報が示す出力ポートに対応した優先順位制御回路12030～12037に出力ポートの確保要求を行う。

【0025】優先順位制御回路12030～12037は各宛先再生部12020～12027からの出力ポートの確保要求のうちの何れかを選択し、選択した宛先再生部12020～12027から出力ポートの開放要求がされるまで、対応する出力データセレクト12040～12047が選択する入力ポートを固定する。

【0026】宛先情報に続いて転送データがデータ受信部110～117から供給されると、シリアルデータ受信部12020～12027を介して何れかの出力データセレクト12040～12047が対応する優先順位

制御回路12030~12037からの制御にしたがって、シリアル形式のデータをデータ送信部130~137へと送出する。

【0027】また、宛先再生部12020~12027はデータ受信部110~117から転送の終了情報が供給されると、そのデータをパラレル形式のデータに変換し、優先順位制御回路12030~12037に対して確保した出力ポートの開放要求を行う。尚、図示していないが、スイッチ部121~129は上記のスイッチ部120と同様の構成となっており、スイッチ部120と同様の動作を行う。

【0028】図4は図1のデータ送信部130の詳細な構成を示すブロック図である。図4において、データ送信部130はS/P（シリアル/パラレル）変換回路13010~13019と、出力セクタ1302とから構成されている。

【0029】S/P変換回路13010~13019は各スイッチ部120~127からのデータを受信すると、そのデータをパラレル形式のデータに変換する。出力セクタ1302はS/P変換回路13010~13019の有効な転送データを順次選択し、不要となるコマンドビットを削除して出力する。尚、図示していないが、データ送信部131~137は上記のデータ送信部130と同様の構成となっており、データ送信部130と同様の動作を行う。

【0030】図5は本発明の一実施例による入力データ及び出力データのデータ形式を示す図である。図5において、入力データは10ビットのデータで、VLD（valid）ビット、コマンドビット、8ビットのコマンドまたは転送データによって構成されている。

【0031】一方、出力データは9ビットのデータで、VLDビット、8ビットの転送データによって構成されている。データ転送を行う時、入力データの第一ワードには宛先情報が、第2ワード以降には転送するデータが、最終ワードには終了情報が入力される。

【0032】図6は図2に示すデータ受信部110のデータ転送開始時の動作を示すタイムチャートであり、図7は図3に示すスイッチ部120のデータ転送開始時の動作を示すタイムチャートであり、図8は図4に示すデータ送信部130のデータ転送開始時の動作を示すタイムチャートである。

【0033】また、図9は図2に示すデータ受信部110のデータ転送終了時の動作を示すタイムチャートであり、図10は図3に示すスイッチ部120のデータ転送終了時の動作を示すタイムチャートであり、図11は図4に示すデータ送信部130のデータ転送終了時の動作を示すタイムチャートである。これら図1~図11を参照して、入力チャンネル20からクロスバススイッチ1を介して出力チャンネル30へとデータ転送する場合の動作について説明する。まず、データ転送開始時の動作につい

て説明する。

【0034】データ受信部110において、データ受信バッファ1101には宛先情報と転送データとが順次供給される。データ受信バッファ1101に宛先情報が供給されると、宛先制御回路1103は全てのP/S変換回路11020~11029に同時に宛先情報を供給し（図6のT00~T01を参照）、P/S変換回路11020~11029はパラレル形式の宛先情報をシリアル形式のデータに変換し、スイッチ部120~129へと送出する（図6のT01~T08を参照）。

【0035】続いて、転送データがデータ受信バッファ1101に供給されると（図6のT01~を参照）、宛先制御回路1103は順次P/S変換回路11020~11029へと転送データを供給し、P/S変換回路11020~11029は同様にシリアル形式のデータに変換してスイッチ部120~129へと送出する（図6のT11~を参照）。

【0036】スイッチ部120において、データ受信部110からシリアル形式の宛先情報が供給されると（図7のT00~T09を参照）、宛先再生部12020はパラレル形式の宛先情報に再生し、宛先情報に示される出力ポートに対応する優先順位制御回路12030に対して出力ポートの確保を要求する。優先順位制御回路12030は各宛先再生部12020~12027からの要求によって一カ所を選択し、選択情報を生成して記憶する。

【0037】今、この宛先再生部12020からデータ送信部30への出力ポートの確保要求があり、他の宛先再生部12021~12027からの同送出ポートへの確保要求がない時、優先順位制御回路12030はシリアルデータ受信部12010からのデータを選択するように選択情報を記憶する（図7のT10を参照）。

【0038】データ受信部110から宛先情報に続いて転送データがシリアル形式で供給されると（図7のT10~を参照）、シリアルデータ受信部12010は各出力セクタ12040~12047へ送出し、出力セクタ12040は対応する優先順位制御回路12030が持つ選択情報にしたがって、シリアルデータ受信部12010のデータをデータ送信部130へと送出する（図7のT11~を参照）。尚、スイッチ部121~129では上述したスイッチ部120の操作と同様の操作が行われている。

【0039】データ送信部130において、スイッチ部120~129からシリアル形式の転送データが供給されると、各S/P変換回路13010~13019はパラレル形式のデータに変換する。

【0040】この時、各S/P変換回路13010~13019によって生成され、パラレル形式のデータとして有効となるタイミングはデータ受信部110によって各スイッチ部120~129へデータが送出されるタイ

ミングが異なるため、同様に異なったタイミングとなる（図8のT00～T09を参照）。すなわち、S/P変換回路13010～13019にて、同時にかつ複数箇所有効なパラレル形式の転送データが生成されることはないということになる。

【0041】よって、出力データセクタ1302はS/P変換回路13010～13019の何れかの有効なデータを選択して送出することによって、データ受信部110に供給されたデータの順番通りにかつ転送速度を落とすことなく、データを送出することができる（図8のT10～を参照）。

【0042】次に、データ転送終了時の動作について説明する。データ受信部110において、データ受信バッファ1101に終了情報が供給されると、宛先制御回路1103は全てのP/S変換回路11020～11029が転送データをスイッチ部120～129へ送出し終えるタイミングまで待ち合わせた後、同時に終了情報を供給する（図9のT12を参照）。

【0043】P/S変換回路11020～11029はパラレル形式の終了情報をシリアル形式のデータに変換してスイッチ部120～129へ送出する（図9のT12～T22を参照）。

【0044】スイッチ部120において、データ受信部110からシリアル形式の終了情報が供給されると（図10のT14～T23を参照）、宛先再生部12020ではパラレル形式の終了情報に再生し、全ての優先順位制御回路12030～12037に対してポートの開放要求を行う。

【0045】優先順位制御回路12030～12037はポート確保要求元と同一の宛先再生部12020～12027から、出力ポートの開放要求がなされた時に選択情報を無効化し、新たなポート確保要求が受けられるようにする。

【0046】今、優先順位制御回路12030には出力データセクタ12040がシリアルデータ受信部12010のデータを選択し、送出するように選択情報が記憶されているが、優先順位制御回路12030からのポート開放要求によって無効化される（図10のT24を参照）。しかしながら、終了情報は優先順位制御回路12030内の選択情報が無効化される前に、出力データセクタ12040から送出される。

【0047】データ送信部130において、各S/P変換回路13010～13019には各スイッチ部120～129から転送データと同様に、終了情報もシリアル形式のデータとして供給されるが（図11のT10～T19を参照）、パラレル形式のデータに変換した際に、変換したデータが終了情報であった場合、そのデータを無効化する。この操作によって、出力セクタ1302は有効な転送データのみを出力データとして送出することができる。

【0048】このように、上記の実施例では各機能ブロック間のインタフェースを1ビットのデータ幅のシリアル形式のデータとしているため、データ転送に必要なインタフェースをデータ受信部110～117では20本（入力：10本、出力：10本）、スイッチ部120～129では16本（入力：8本、出力：8本）、データ送信部130～137では19本（入力：10本、出力：9本）というように、小規模の入出力端子数のLSI等の電子部品を用いて構成することができる。

【0049】また、データ受信部110～117から宛先情報及び終了情報をブロードキャスト方式で各スイッチ部120～129に送出しているため、スイッチ部120～129は同時に同一の動作をすることができ、転送データを各スイッチ部120～129に送出するタイミングを順次ずらし、データ送信部130～137にてパラレル形式のデータへ復元し、順次送出することによって、転送性能を低下させることなく、データ転送を行うことができる。

【0050】図12は本発明の他の実施例によるクロスバスイッチの構成を示すブロック図である。図12においては、入力チャネル20～27間において、クロスバスイッチ1の出力ポートを排他制御した場合の構成を示している。尚、本発明の他の実施例によるクロスバスイッチも本発明の一実施例と同様に8入力/8出力のクロスバスイッチであり、ロック制御回路4を設けた以外は本発明の一実施例と同様の構成となっており、同一構成要素には同一符号を付してある。

【0051】図12において、ロック制御回路4は各入力チャネル20～27からの出力ポート確保要求に対して各出力ポートの排他制御を行い、ロック成功またはロック不成功の通知を要求元の各入力チャネル20～27に対して行う。

【0052】尚、複数の入力チャネル20～27より同一の出力チャネル30～37の何れかに対する要求が同時に行われた場合、ロック制御回路4内にて何れか一つの要求元に対してのみ、ロック成功の通知を行う。この制御によって、クロスバスイッチ1には同時に同一の出力ポートへの転送が行われることがなくなる。

【0053】図13は図12のスイッチ部120の詳細な構成を示すブロック図である。図12において、スイッチ部120はシリアルデータ受信部12010～12017と、宛先再生部12020～12027と、出力データセクタ12040～12047と、出力セクタ制御回路12050～12057とから構成されている。

【0054】各入力チャネル20～27からは同時に同一の出力ポートへのデータ転送が行われることがないため、本実施例のスイッチ部120には本発明の一実施例に示す優先順位制御回路12030～12037のような複雑な論理回路が不要となり、新たに出力セクタ制

御回路12050~12057を設けている。

【0055】出力セクタ制御回路12050~12057は各宛先再生部12020~12027からの出力ポートの確保要求のうちの有効な要求を抽出し、選択した宛先再生部12020~12027から出力ポートの開放要求がされるまで、対応する出力データセクタ12040~12047が選択する入力ポートを固定する。

【0056】これら図12及び図13を参照して、入力チャンネル20からクロスバスイッチ1を介して出力チャンネル30へとデータを転送する動作について説明する。

【0057】入力チャンネル20~27はデータ転送を行う際に、出力ポート30の確保要求をロック制御回路4に対して行う。ロック制御回路4はこれらの要求に対して、要求先の出力ポートが未使用状態である場合にロック成功の通知を、使用中であった場合にロック不成功の通知を要求元の入力チャンネル20~27に対して行う。

【0058】入力チャンネル20~27はロック成功の通知を受信すると、クロスバスイッチ1に対して宛先情報と転送データと終了情報とを順次供給する。

【0059】データ受信部110~117は本発明の一実施例と同様の動作によって、スイッチ部120~129ハシリアル形式のデータを送出する。スイッチ部120~129では宛先再生部12020~12027にて宛先情報を生成し、出力セクタ制御回路12050~12057に対してバスの確保要求を行う。

【0060】出力セクタ制御回路12050~12057は宛先再生部12020~12027からのバス確保要求によって、出力データセクタ12040~12047がシリアルデータ受信部12010~12017のデータを選択するよう選択情報を記憶する。宛先情報に続いて、転送データがデータ受信部110~117から供給されると、その転送データをシリアルデータ受信部12010~12017を介して出力データセクタ12040~12047からデータ送信部130~137へと送出する。

【0061】さらに、終了情報がデータ受信部110~117から供給されると、出力セクタ制御回路12050~12057は記憶していた選択情報を無効化する。データ送信部130~137では本発明の一実施例と同様の動作によって、出力チャンネル30~37に対してデータの送出を行う。

【0062】このように、本発明の他の実施例では入力チャンネル20~27が予め転送目的とする出力チャンネル30~37の何れかへのポートを確保した後にデータ転送を開始するため、クロスバスイッチ1内部に複雑な優先順位制御回路等の複雑な競合制御論理を組込む必要がなくなる。

【0063】図14は本発明の別の実施例によるクロスバスイッチの構成を示すブロック図である。図14にお

いては、各機能ブロック間のインタフェースを2ビットのデータ幅とした場合の構成を示している。尚、本発明の別の実施例によるクロスバスイッチも本発明の一実施例と同様に8入力/8出力のクロスバスイッチである。

【0064】図14において、クロスバスイッチ5は入力チャンネル20~27に対応するデータ受信部510~517と、スイッチング動作を行うスイッチ部520~524と、出力チャンネル30~37に対応するデータ送信部530~537とから構成されている。

【0065】データ受信部510~517は10ビットの平行形式のデータを受信し、シリアル形式の2ビット幅のデータに変換し、変換したデータをスイッチ部520~529へと送出する。

【0066】スイッチ部520~524はデータ受信部510~517から送出される2ビット幅のシリアル形式のデータを受信し、宛先情報の再生及びデータのスイッチングを行い、その結果をデータ送信部530~537へと送出する。

【0067】データ受信部530~537はスイッチ部520~524から送出されてくるシリアル形式の2ビット幅のデータをそれぞれ平行形式のデータに変換し、順次送出する。

【0068】図15は図14のデータ受信部510の詳細な構成を示すブロック図である。図15において、データ受信部510はデータ受信バッファ5101と、P/S変換回路51020~51024と、宛先制御回路5103とから構成されている。

【0069】データ受信バッファ5101は平行形式のデータを受信し、そのデータをFIFO形式で格納する。P/S変換回路51020~51024は受信バッファ5101からの平行形式のデータを2ビット幅のシリアル形式のデータに変換し、変換したデータをスイッチ部520~524へ送出する。

【0070】宛先制御回路5103はデータ受信バッファ5101の出力データの内容を参照し、その内容が宛先情報またはデータ転送の終了情報であれば、その情報を全てのP/S変換回路51020~51024へブロードキャスト方式で付与し、転送データであれば、その転送データを順次付与する。尚、図示していないが、データ受信部511~517は上記のデータ受信部510と同様の構成となっており、データ受信部510と同様の動作を行う。

【0071】図16は図14のスイッチ部520の詳細な構成を示すブロック図である。図16において、スイッチ部520はシリアルデータ受信部52010~52017と、宛先再生部52020~52027と、優先順位制御回路52030~52037と、出力データセクタ52040~52047とから構成されている。

【0072】宛先再生部52020~52027は各データ受信部510~517から2ビット幅のシリアル形

式のデータで宛先情報が供給されると、パラレル形式のデータに変換して宛先情報に再生し、宛先情報が示す出力ポートに対応した優先順位制御回路52030～52037に出力ポートの確保要求を行う。

【0073】優先順位制御回路52030～52037は各宛先再生部52030～52037からの出力ポートの確保要求のうちの何れかを選択し、選択した宛先再生部52030～52037から出力ポートの開放要求がされるまで、対応する出力データセクタ52040～52047が選択する入力ポートを固定する。

【0074】宛先情報に続いて転送データがデータ受信部510～517から供給されると、シリアルデータ受信部52020～52017を介して何れかの出力データセクタ52040～52047が対応する優先順位制御回路52030～52037からの制御にしたがって、2ビット幅のシリアル形式のデータをデータ送信部530～537へと送出する。

【0075】また、宛先再生部52020～52027はデータ受信部510～517から転送の終了情報が供給されると、そのデータをパラレル形式のデータに変換し、優先順位制御回路52030～52037に対して確保した出力ポートの開放要求を行う。尚、図示していないが、スイッチ部521～524は上記のスイッチ部520と同様の構成となっており、スイッチ部520と同様の動作を行う。

【0076】図17は図14のデータ送信部530の詳細な構成を示すブロック図である。図17において、データ送信部530はS/P変換回路53010～53019と、出力セクタ5302とから構成されている。

【0077】S/P変換回路53010～53019は各スイッチ部520～527からのデータを受信すると、そのデータをパラレル形式のデータに変換する。出力セクタ5302はS/P変換回路53010～53019の有効な転送データを順次選択し、不要となるコマンドビットを削除して出力する。尚、図示していないが、データ送信部531～537は上記のデータ送信部530と同様の構成となっており、データ送信部530と同様の動作を行う。

【0078】図18は図15に示すデータ受信部510のデータ転送開始時の動作を示すタイムチャートであり、図19は図16に示すスイッチ部520のデータ転送開始時の動作を示すタイムチャートであり、図20は図17のデータ送信部530のデータ転送開始時の動作を示すタイムチャートである。これら図14～図20を参照して入力チャネル20からクロスバスイッチ5を介して出力チャネル30へとデータ転送する場合の動作について説明する。

【0079】データ受信部510において、データ受信バッファ5101には宛先情報と転送データとが順次供給される。データ受信バッファ5101に宛先情報が供

給されると、宛先制御回路5103は全てのP/S変換回路51020～51024に対して同時に宛先情報を供給し(図18のT00～T01を参照)、P/S変換回路51020～51029はパラレル形式の宛先情報を2ビット幅のシリアル形式のデータに変換し、スイッチ部520～524へと送出する(図18のT01～T05を参照)。

【0080】続いて、転送データがデータ受信バッファ5101に供給されると(図18のT01～を参照)、宛先制御回路1103は順次、P/S変換回路51020～51024へと転送データを供給し、P/S変換回路51020～51024は同様に2ビット幅のシリアル形式のデータに変換し、スイッチ部520～529へと送出する(図18のT06～を参照)。

【0081】スイッチ部520において、データ受信部510からシリアル形式の宛先情報が供給されると(図19のT00～T04を参照)、宛先再生部52020はパラレル形式の宛先情報に再生し、宛先情報に示される出力ポートに対応する優先順位制御回路52030に対して出力ポートの確保を要求する。優先順位制御回路52030は各宛先再生部52020～52027からの要求によって一カ所を選択し、選択情報を生成して記憶する。

【0082】今、この宛先再生部52020からデータ送信部30への出力ポートの確保要求があり、他の宛先再生部52021～52027からの同送出ポートへの確保要求がない時、優先順位制御回路52030はシリアルデータ受信部52010からのデータを選択するように選択情報を記憶する(図19のT05を参照)。

【0083】データ受信部510から宛先情報に続いて転送データがシリアル形式で供給されると(図19のT05～を参照)、シリアルデータ受信部52010はそのデータを各出力セクタ52040～52047へと送出し、出力セクタ52040は対応する優先順位制御回路52030が持つ選択情報にしたがって、シリアルデータ受信部52010のデータをデータ送信部530へと送出する(図19のT06～を参照)。尚、スイッチ部521～524では上記のスイッチ部520の操作と同様な操作が行われている。

【0084】データ送信部530において、スイッチ部520～524からシリアル形式の転送データが供給されると、各S/P変換回路53010～53014はパラレル形式のデータに変換する。

【0085】この時、各S/P変換回路53010～53014によって生成され、パラレル形式のデータとして有効となるタイミングはデータ受信部510によって各スイッチ部520～524へとデータが送出されるタイミングが異なるため、同様に異なったタイミングとなる(図20のT00～T04を参照)。すなわち、S/P変換回路53010～53014にて、同時にかつ複

数箇所では有効なパラレル形式の転送データが生成されることはないということになる。

【0086】よって、出力データセクタ5302はS/P変換回路53010～53014の何れかの有効なデータを選択して送出することによって、データ受信部510に供給されたデータの順番通りにかつ転送速度を落とすことなく、データを送出することができる(図20のT05～を参照)。

【0087】上述したように、本実施例では本発明の一実施例と同様な動作を行い、転送性能を低下させることなくかつ各機能ブロック間のインタフェースを2ビットのデータ幅のシリアル形式のデータとしたことによって、データ転送に必要なインタフェースをデータ受信部では20本(入力:10本、出力:10本)、スイッチ部では32本(入力:16本、出力:16本)、データ送信部では19本(入力:10本、出力:9本)というように、小規模の入出力端子数のLSI等の電子部品を用いて構成することができる。また、本実施例ではクロスバスイッチ5内部での処理時間の短縮、スイッチ部の設置台数の削減が可能となる。

【0088】このように、データ受信部110～117、510～517、スイッチ部120～129、520～524、データ送信部130～137、530～537と機能ブロックを分散させ、各ブロック間のインタフェースをシリアル形式のデータとすることによって、少ない入出力端子を持つLSI等の電子部品を用いて大規模なクロスバスイッチを構成することができる。

【0089】

【発明の効果】以上説明したように本発明によれば、外部から受信したパラレル形式の入力データを1/n(nは正の整数)のデータ幅のシリアル形式のデータに変換する第1のデータ変換手段と、第1のデータ変換手段からのシリアル形式のデータを目的とする出力ポートへとスイッチングするn台のスイッチング手段と、n台のスイッチング手段からのシリアル形式のデータをパラレル形式のデータに変換して外部へ送出する第2のデータ変換手段とを備えることによって、小規模の入出力端子数のLSI等の電子部品を用いかつデータの転送性能を低下させることなく、大規模の入出力チャンネル数をサポートすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるクロスバスイッチの構成を示すブロック図である。

【図2】図1のデータ受信部の詳細な構成を示すブロック図である。

【図3】図1のデータ受信部の詳細な構成を示すブロック図である。

【図4】図1のデータ送信部の詳細な構成を示すブロック図である。

【図5】本発明の一実施例による入力データ及び出力デ

ータのデータ形式を示す図である。

【図6】図2に示すデータ受信部のデータ転送開始時の動作を示すタイムチャートである。

【図7】図3に示すスイッチ部のデータ転送開始時の動作を示すタイムチャートである。

【図8】図4に示すデータ送信部のデータ転送開始時の動作を示すタイムチャートである。

【図9】図2に示すデータ受信部のデータ転送終了時の動作を示すタイムチャートである。

【図10】図3に示すスイッチ部のデータ転送終了時の動作を示すタイムチャートである。

【図11】図4に示すデータ送信部のデータ転送終了時の動作を示すタイムチャートである。

【図12】本発明の他の実施例によるクロスバスイッチの構成を示すブロック図である。

【図13】図12のスイッチ部の詳細な構成を示すブロック図である。

【図14】本発明の別の実施例によるクロスバスイッチの構成を示すブロック図である。

【図15】図14のデータ受信部の詳細な構成を示すブロック図である。

【図16】図14のスイッチ部の詳細な構成を示すブロック図である。

【図17】図14のデータ送信部の詳細な構成を示すブロック図である。

【図18】図15に示すデータ受信部のデータ転送開始時の動作を示すタイムチャートである。

【図19】図16に示すスイッチ部のデータ転送開始時の動作を示すタイムチャートである。

【図20】図17のデータ送信部のデータ転送開始時の動作を示すタイムチャートである。

【符号の説明】

1, 5 クロスバスイッチ

4 ロック制御回路

20～27 入力チャンネル

30～37 出力チャンネル

110～117, 510～517 データ受信部

120～129, 520～524 スwitch部

130～137, 530～537 データ送信部

1101, 5101 データ受信バッファ

1103, 5103 宛先制御部

1302, 5302 出力セクタ

11020～11029, 51020～51024 P

/S変換回路

12010～12017, 52010～52017 シ

リアルデータ受信部

12020～12027, 52020～52027 宛

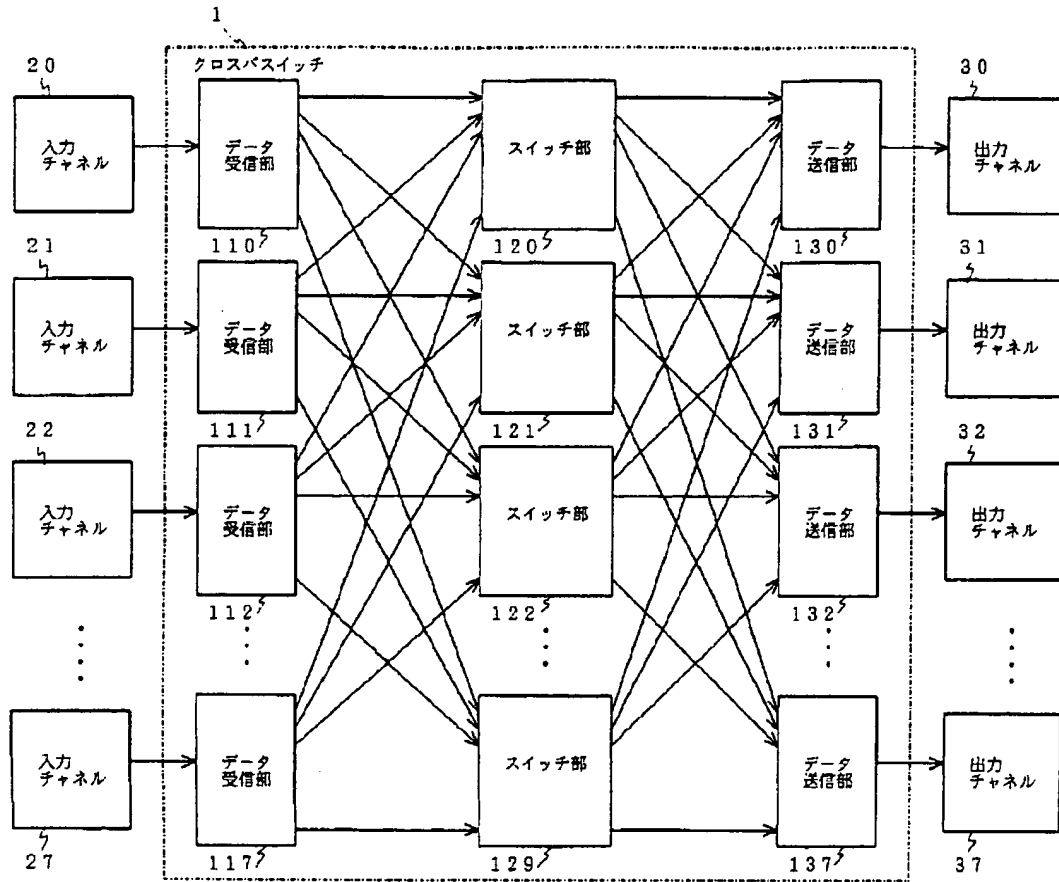
先再生部

12030～12037, 52030～52037 優

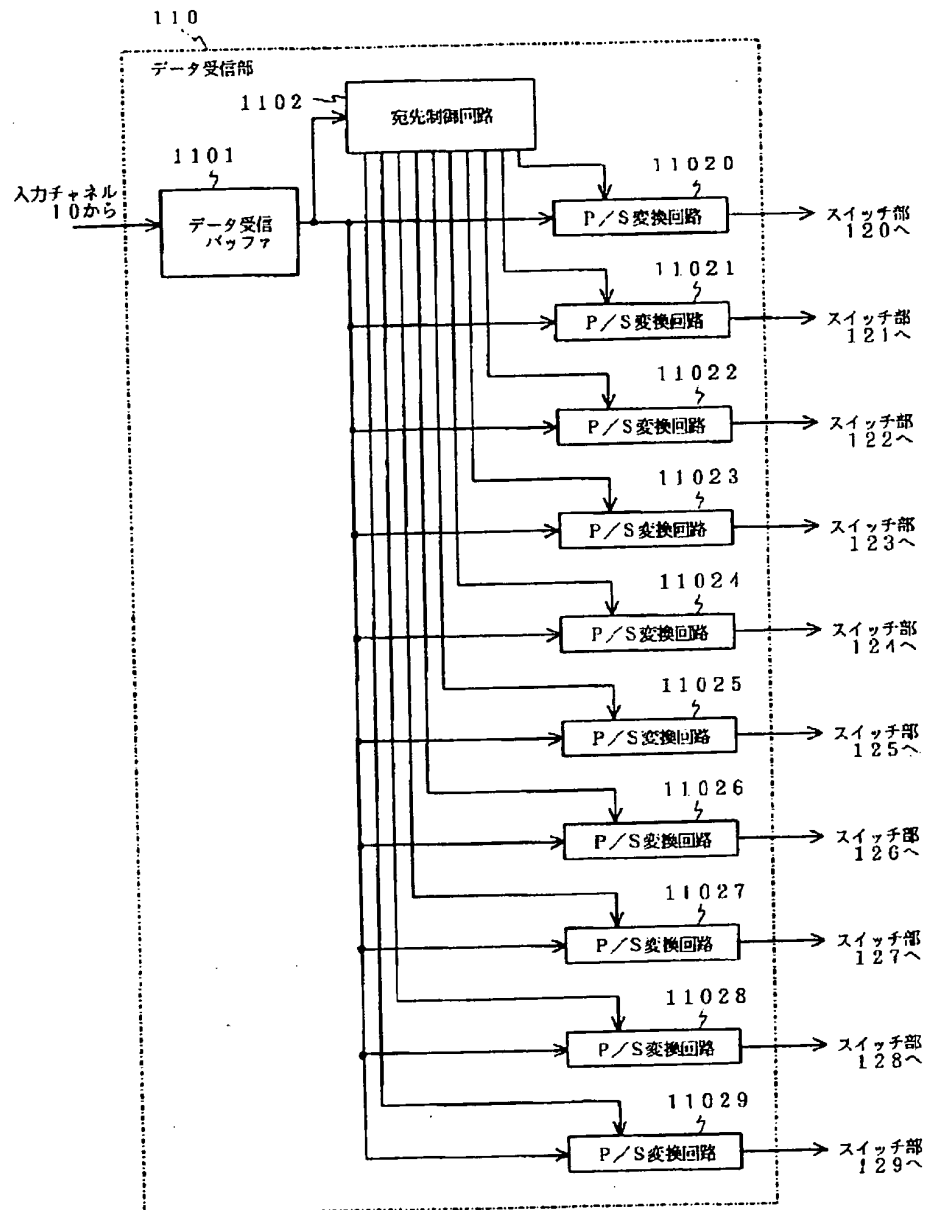
先順位制御回路

12040~12047, 52040~52047 出 13010~13019, 53010~53014 S  
 カデータセクタ /P変換回路  
 12050~12057 出力セクタ制御回路

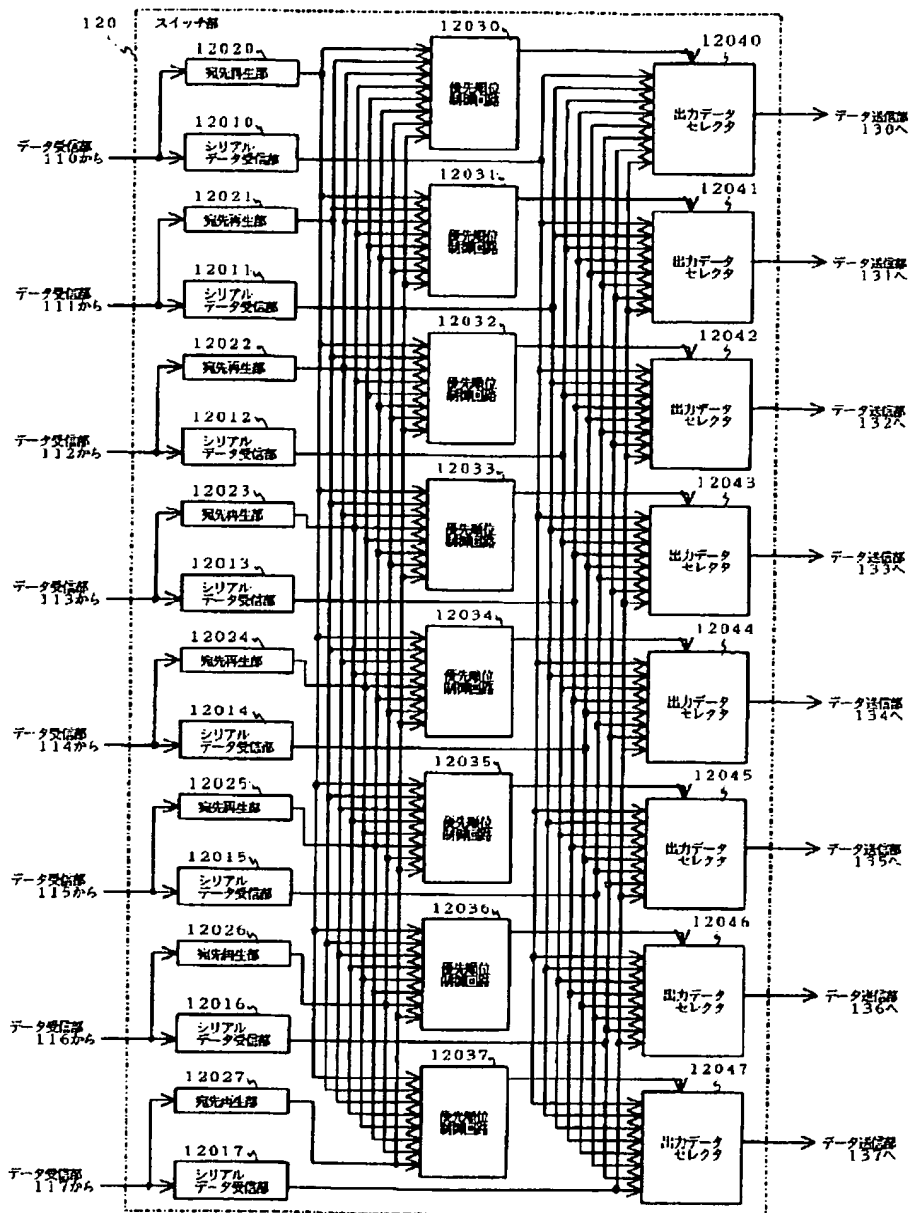
【図1】



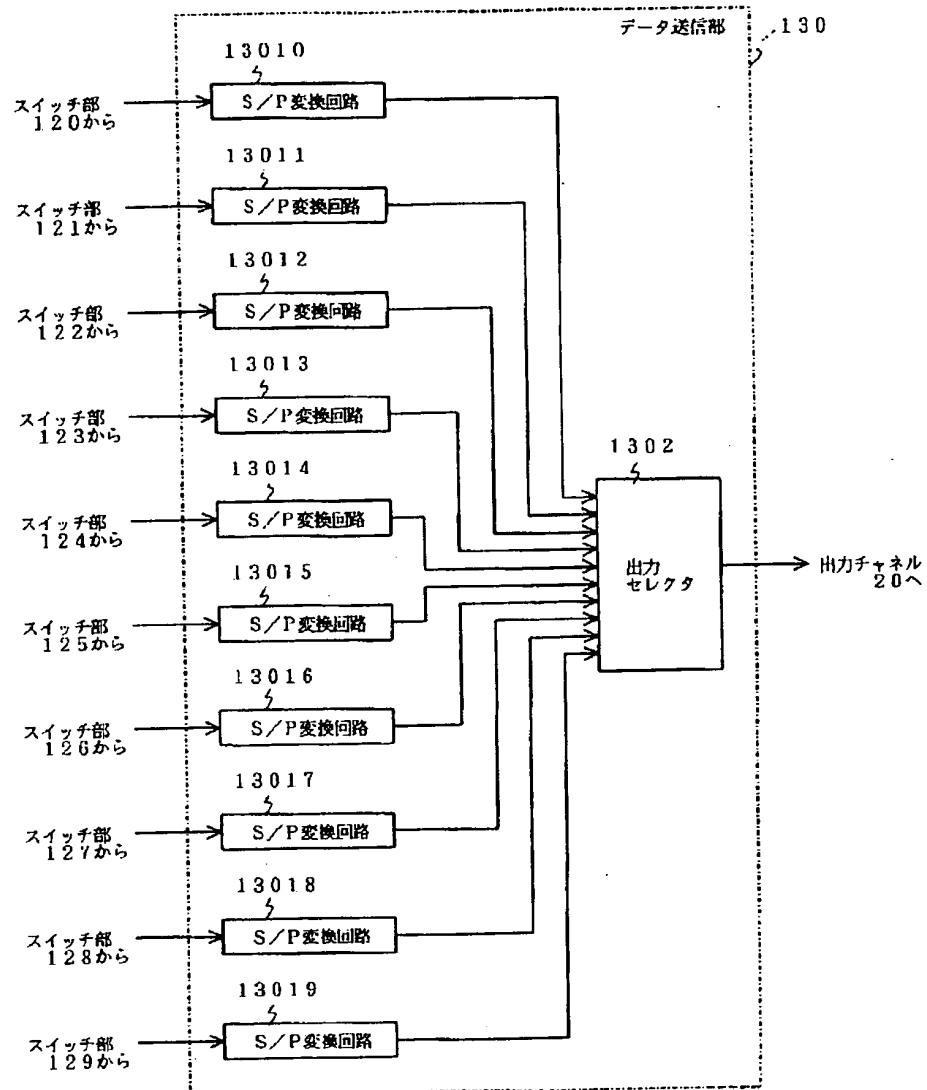
【図2】



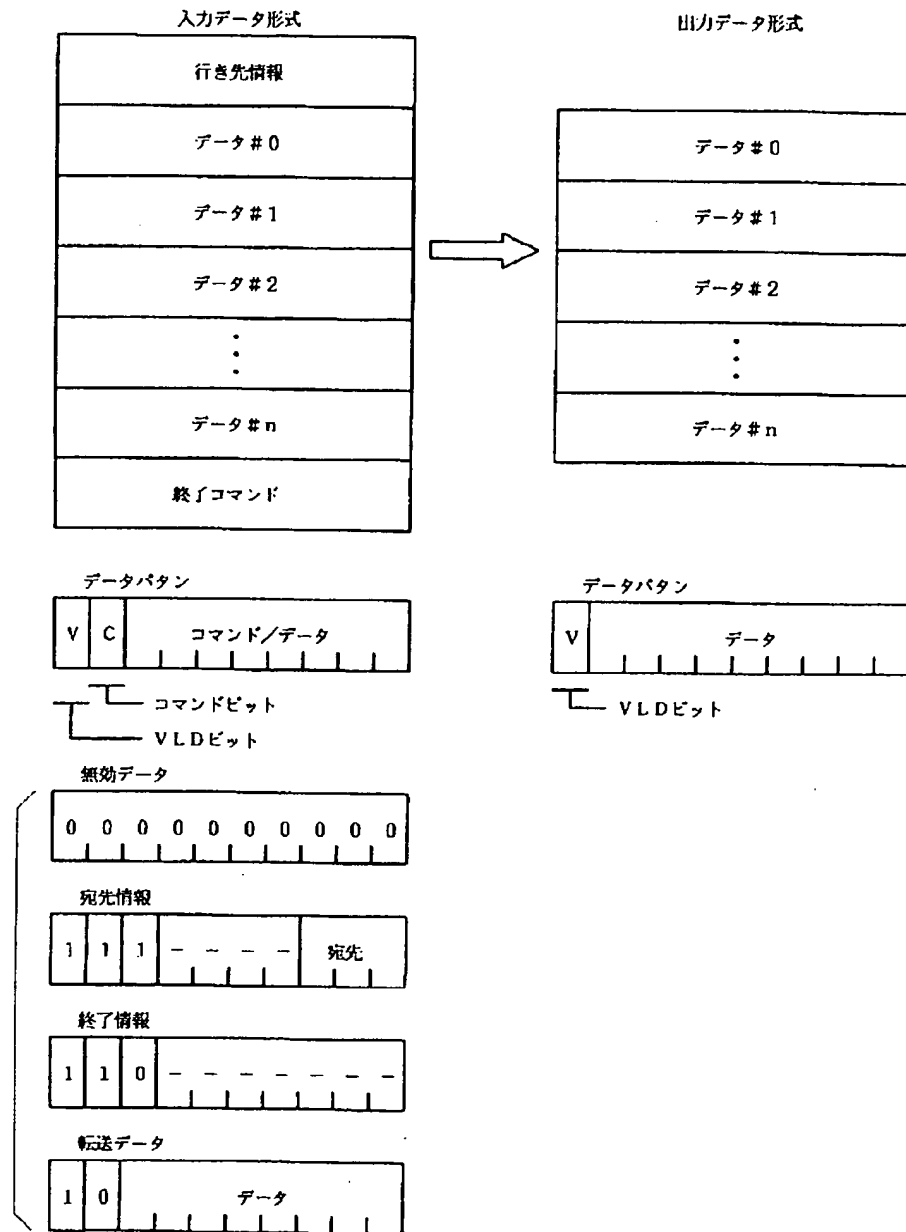
【図3】



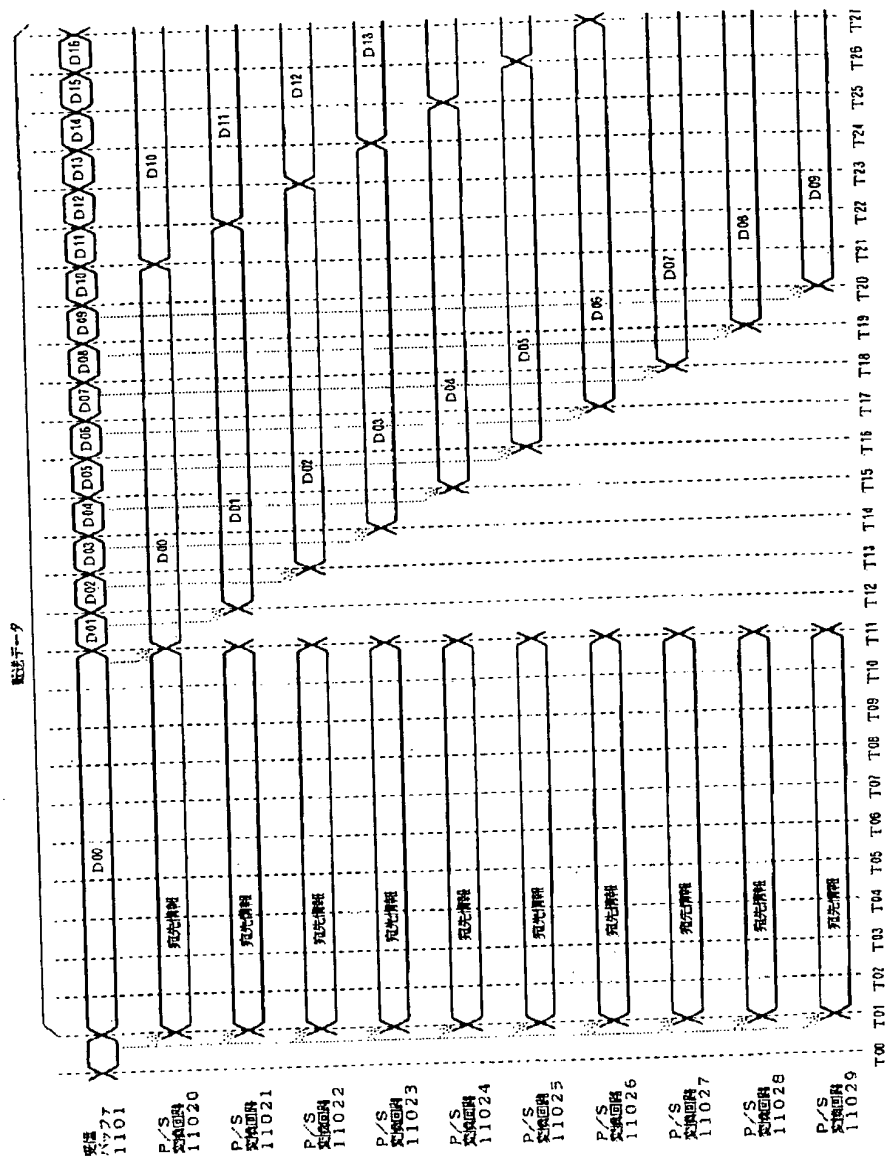
【図4】



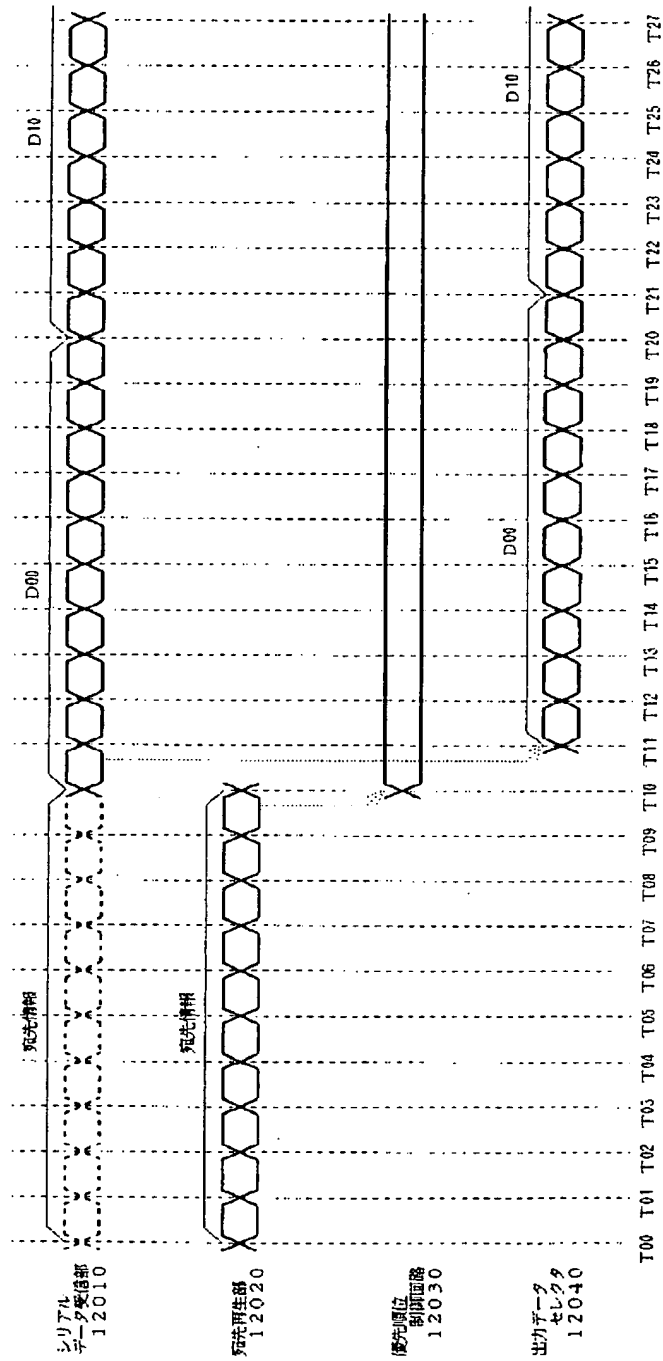
【図5】



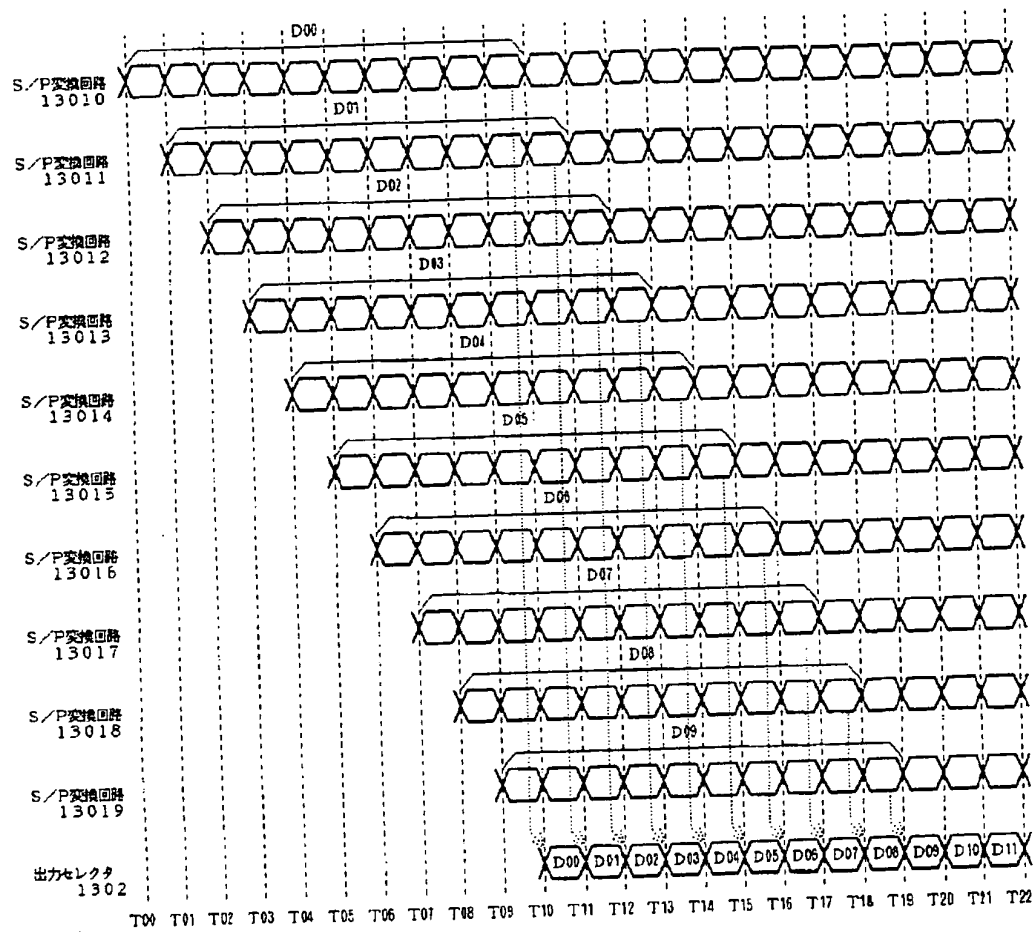
【図6】



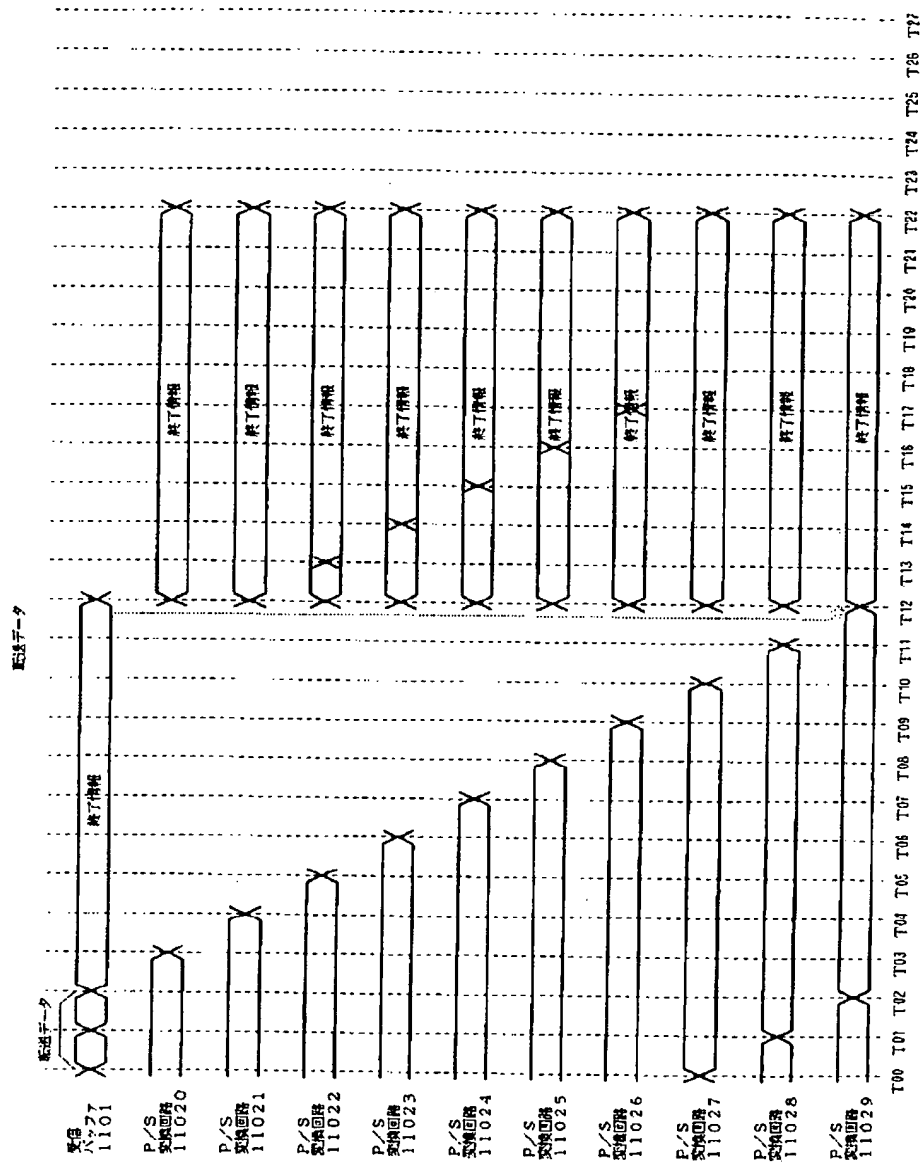
【図 7】



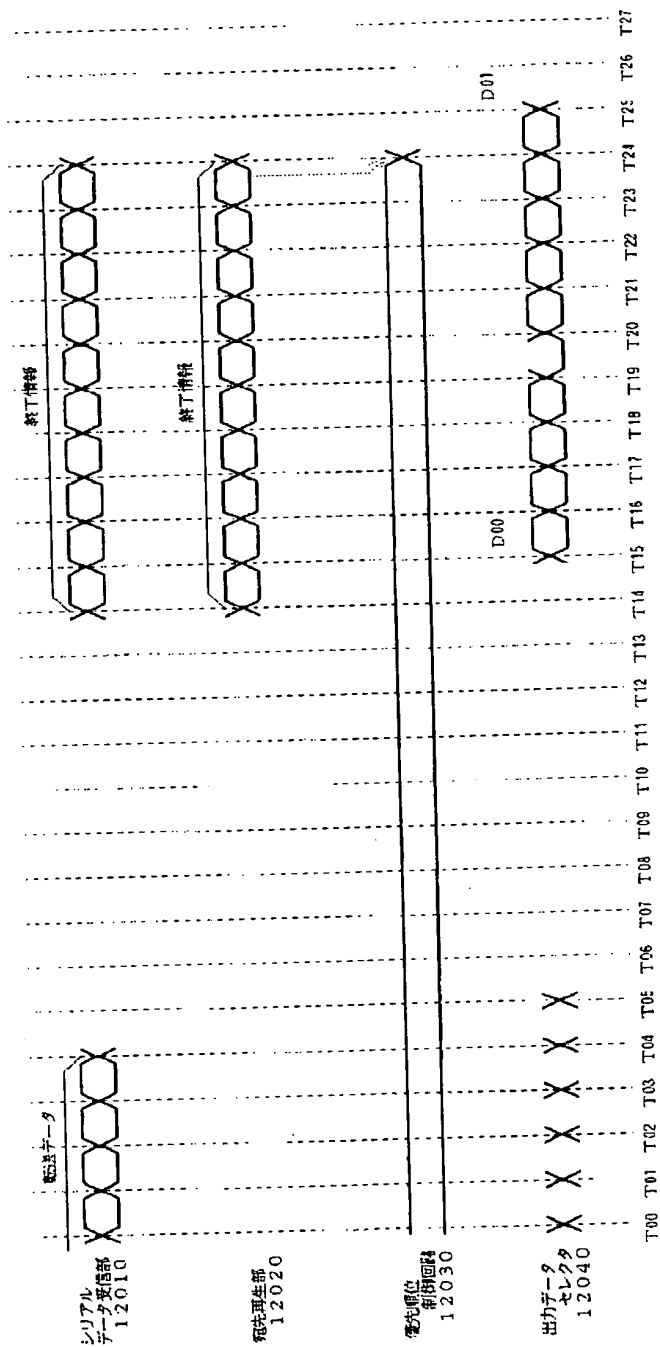
【図8】



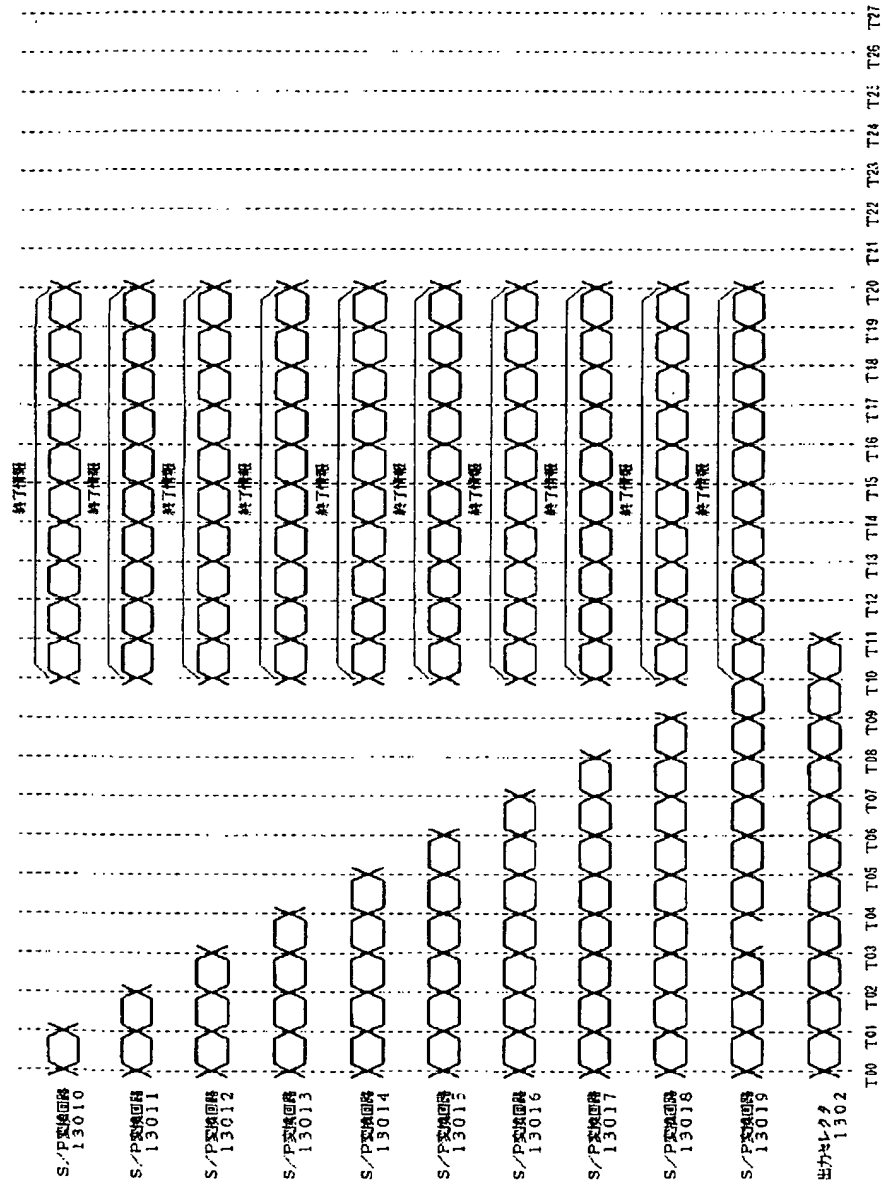
【図9】



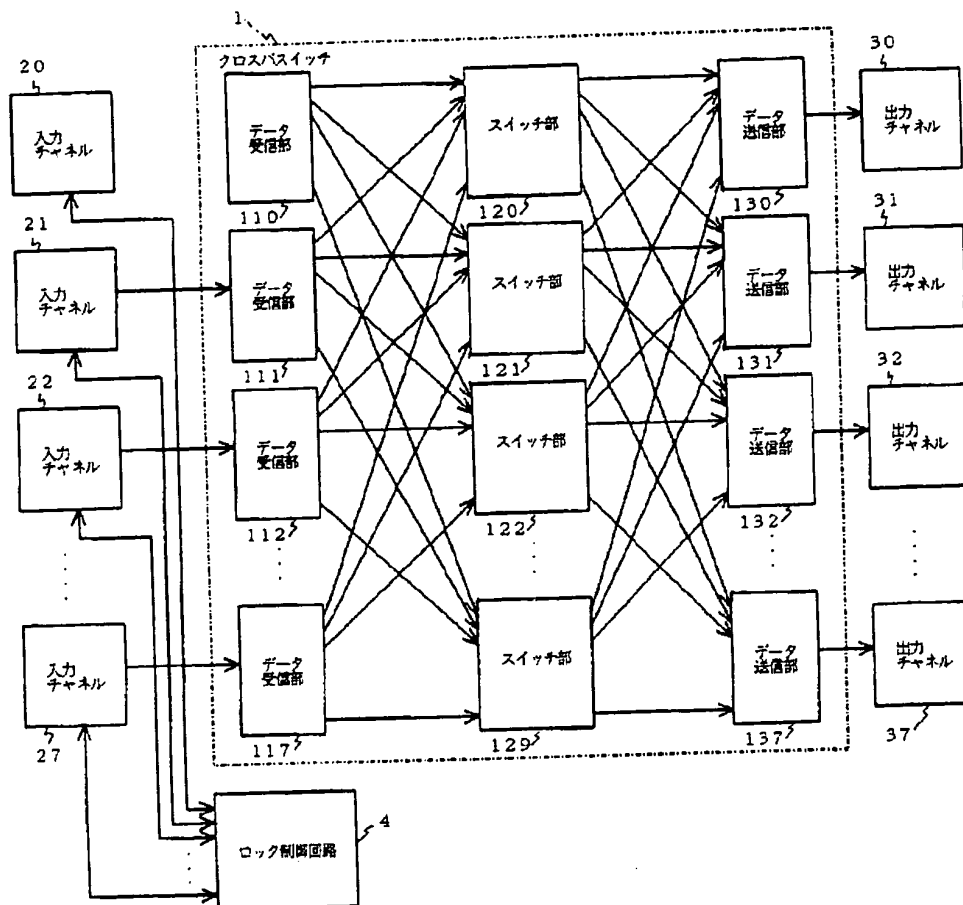
【図10】



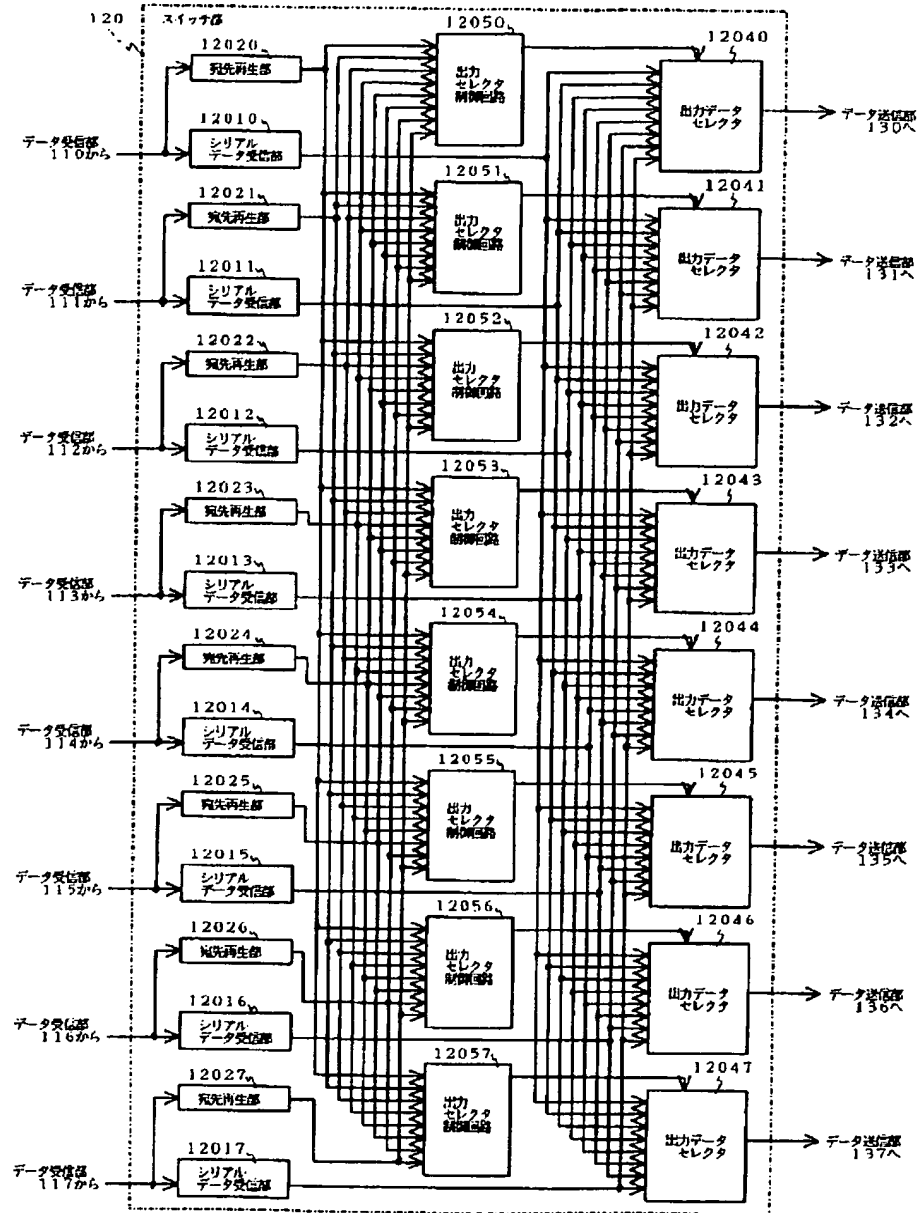
【図11】



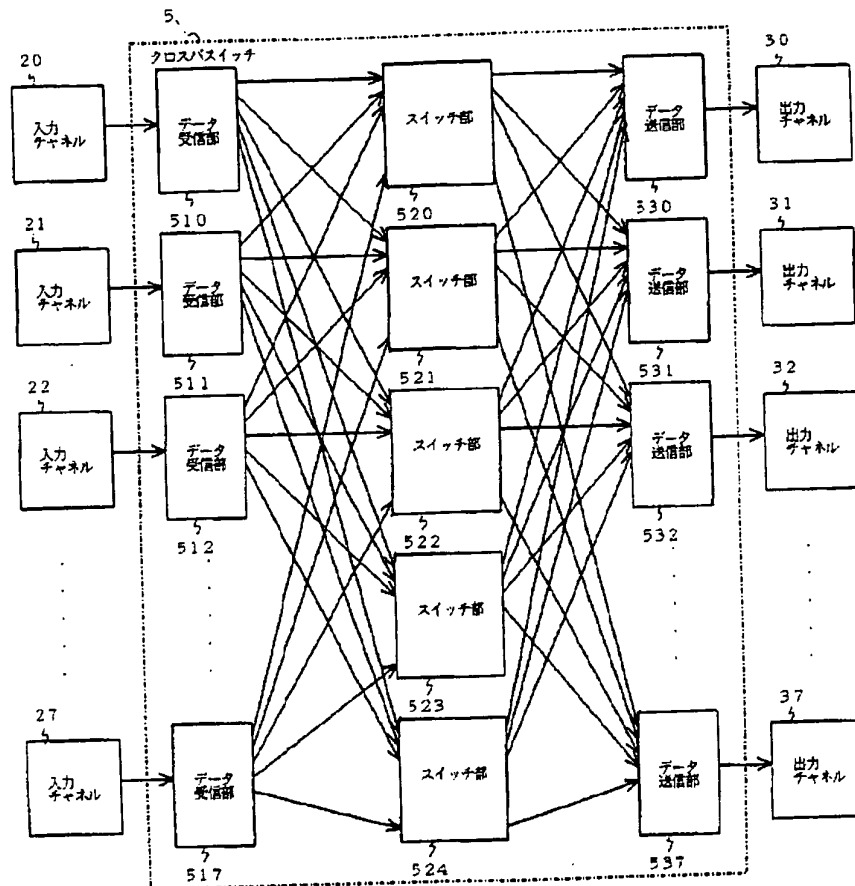
【図12】



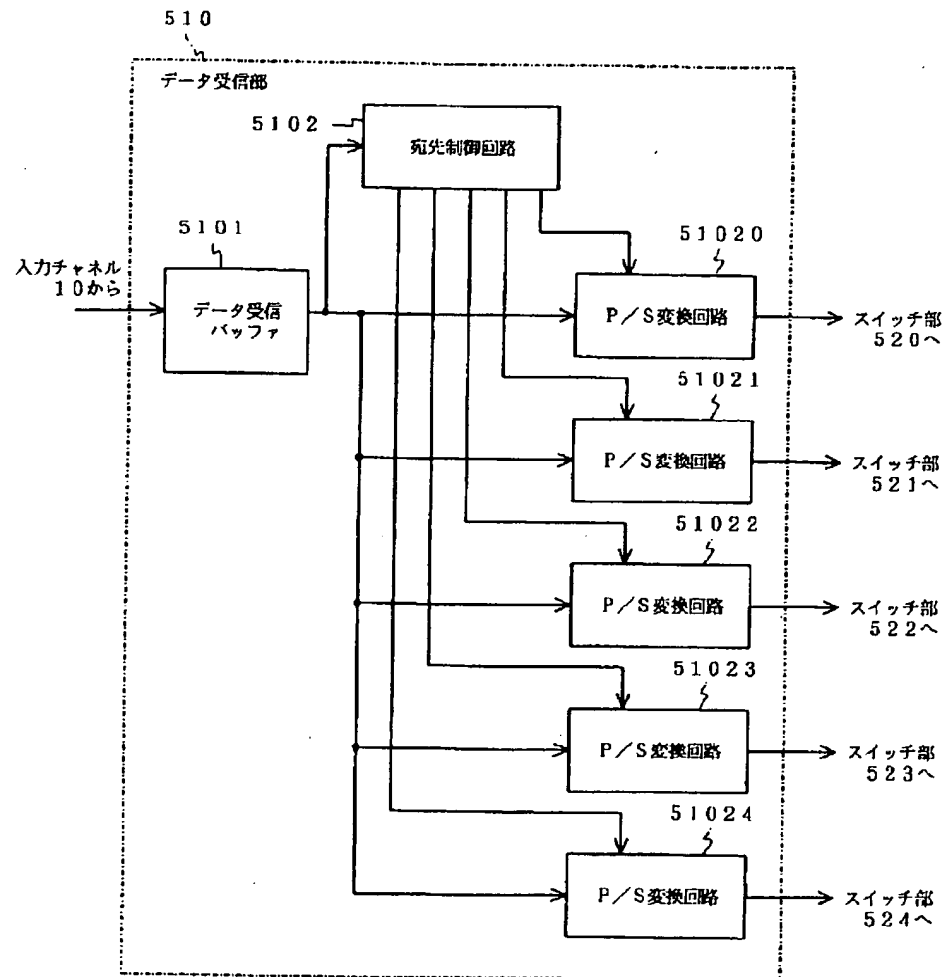
【図13】



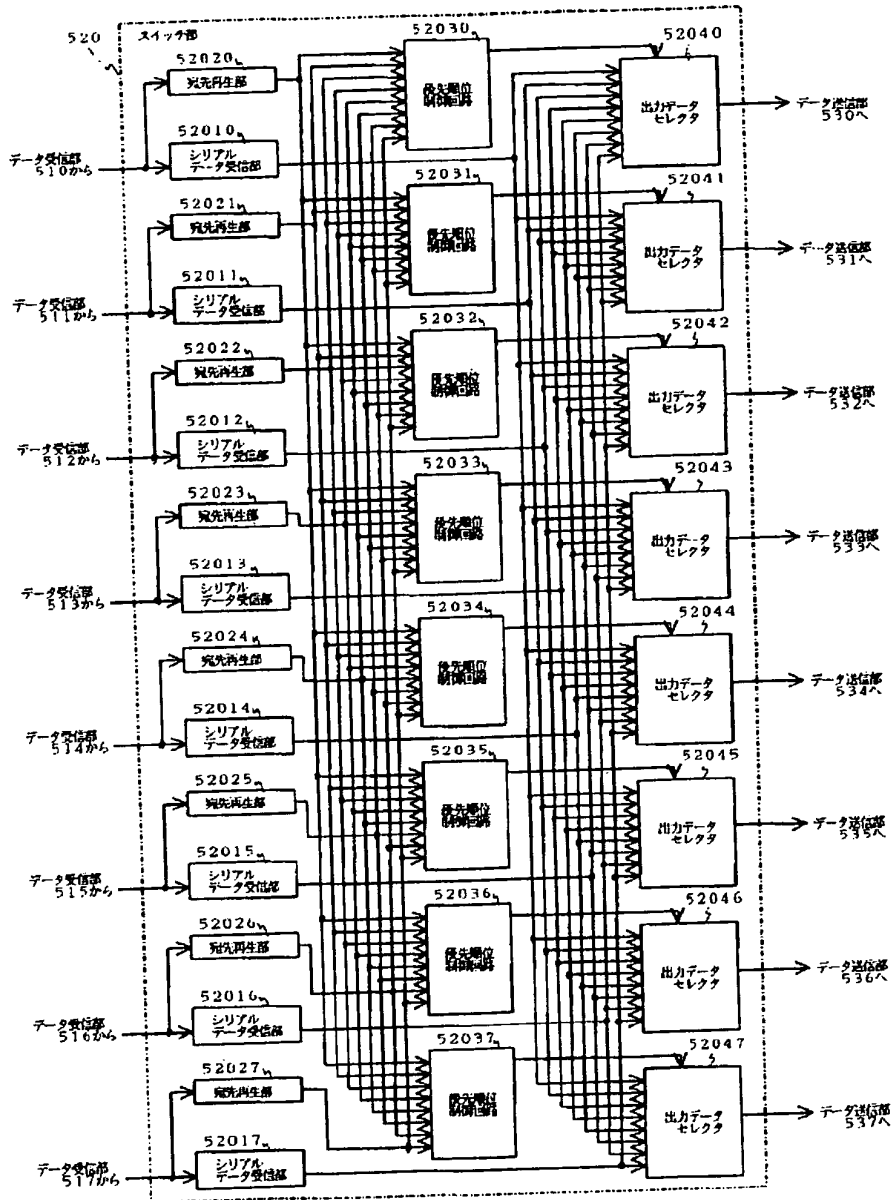
【図14】



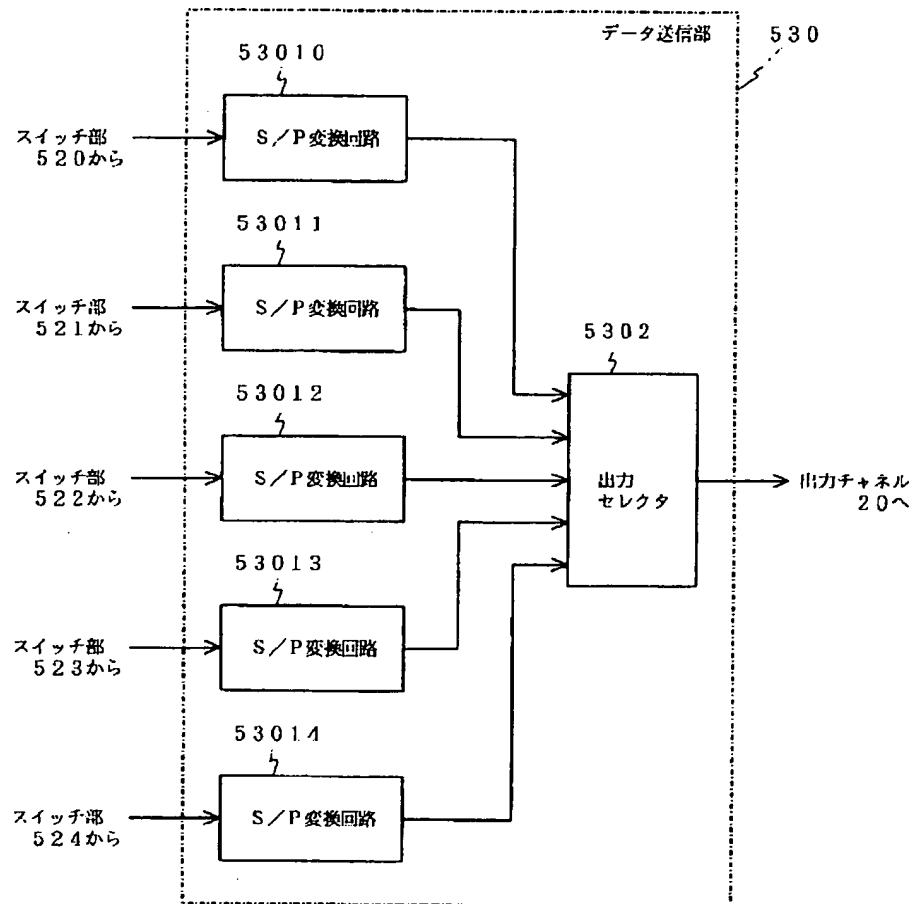
【図15】



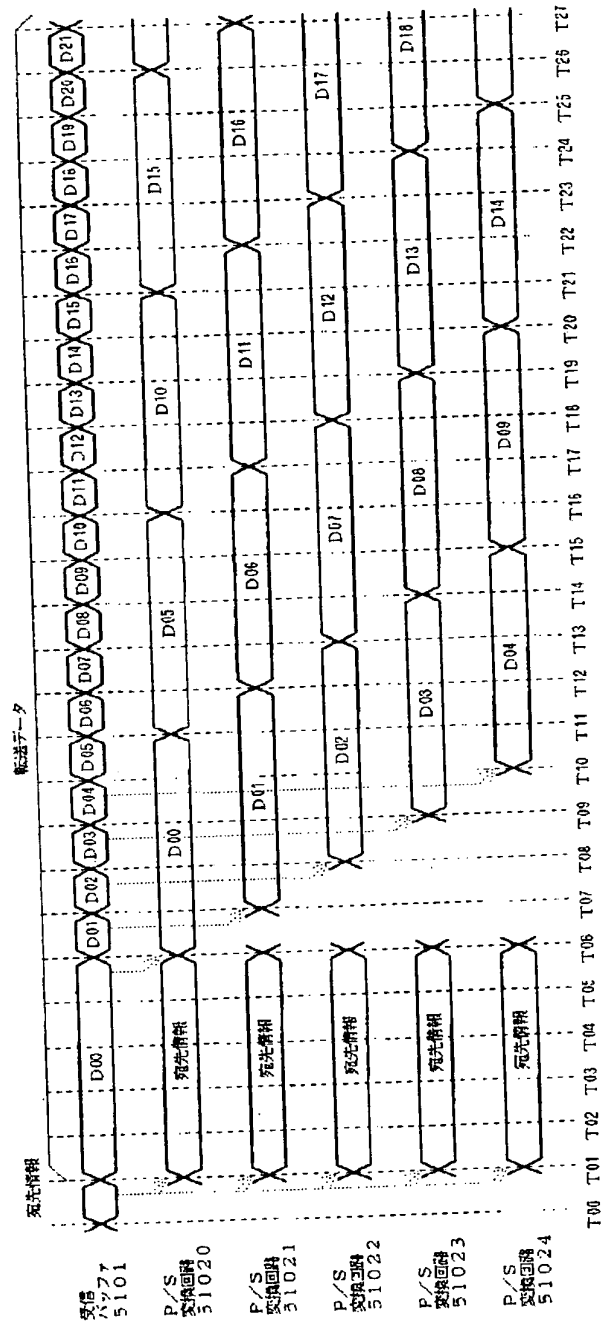
【図16】



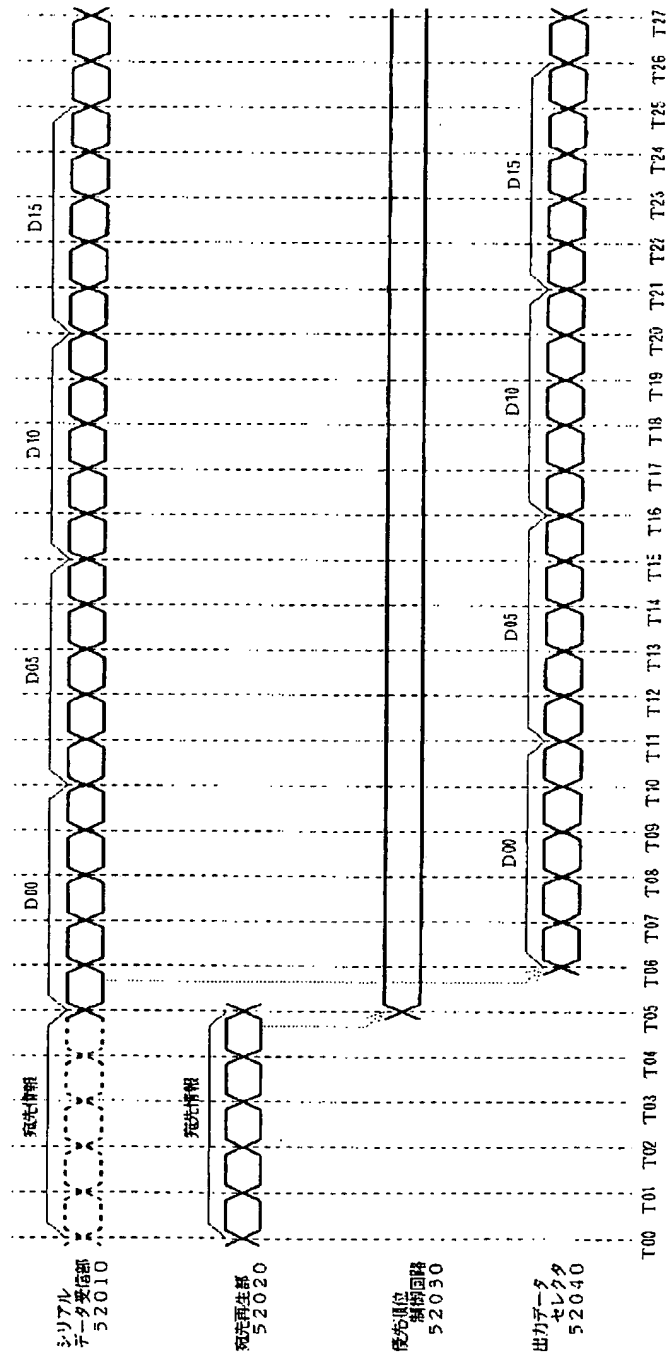
【図17】



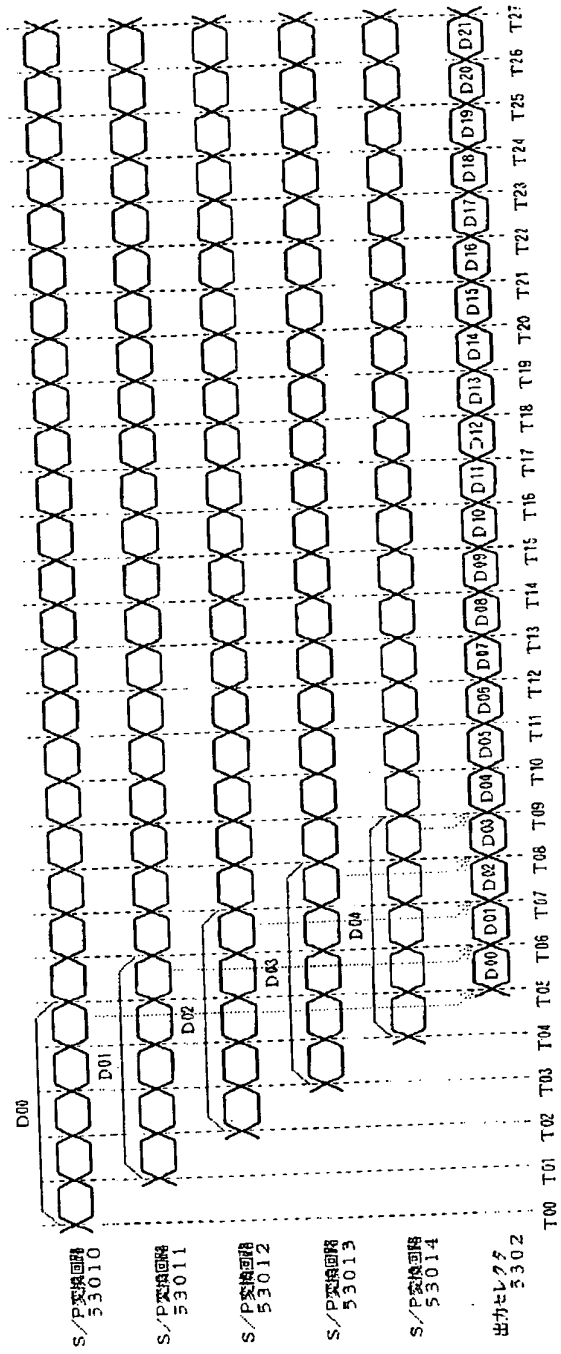
【図18】



【図19】



【図20】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**This Page Blank (uspto)**